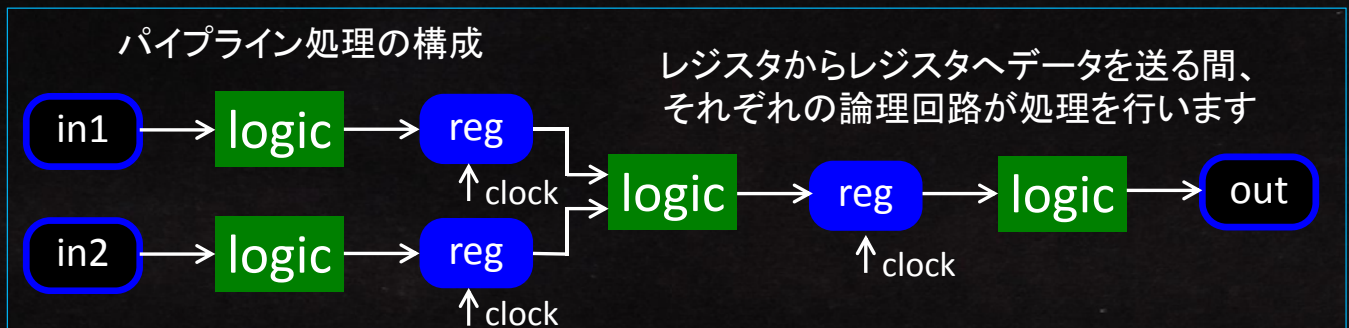


CodeSqueezer

数値演算のスループット向上には “パイプライン処理”が効果的です



CPU処理が演算命令を一つずつ実行するのに対し、
パイプライン処理はすべての演算を同時に実行します

→ スループットが劇的に向上します

このような手法は他の工業分野でも一般的です

組立て産業： ライン(コンベア)生産方式

化学プラント： バッチ処理 ⇒ 連続処理

FPGAの登場でパイプライン処理が身近なものになりました
しかし、パイプライン処理のための論理を組むのは大変です

- ・ 信号線の幅はビット単位で最適化しなくてはなりません
(CPUの場合はバス幅で決まっていますが……)
- ・ 処理する信号に合わせた、専用の演算器が必要です
(CPUの場合は演算器が付属しているのですが……)
- ・ どこにレジスタを挿入するかを決める必要があります
(論理遅延はクロック周期以下でなければなりません)
- ・ 演算器入力信号のタイミングを合わせる必要があります
(レジスタを経由するごとに、信号に遅れが生じます)

CodeSqueezer は、これらを自動で解決します

小さなロットでも製品化できるFPGAの特徴に合わせて、
安価で取り扱いの容易なツールとしてご提供いたします

シグナル・プロセス・ロジック株式会社
<http://signal-process-logic.com>

CodeSqueezer

ボタン3つでパイプライン化まで完了

例) 連立方程式の解 (x と y) を求める演算論理を作成します

$$\begin{bmatrix} a1, & b1 \\ a2, & b2 \end{bmatrix} \begin{bmatrix} x \\ y \end{bmatrix} = \begin{bmatrix} f1 \\ f2 \end{bmatrix}$$

ソースファイルを準備します
クラメルの公式です

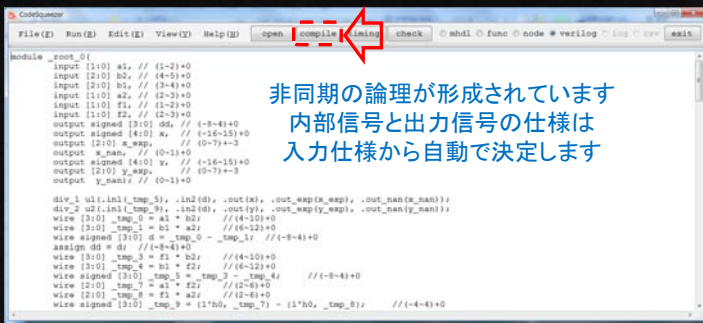
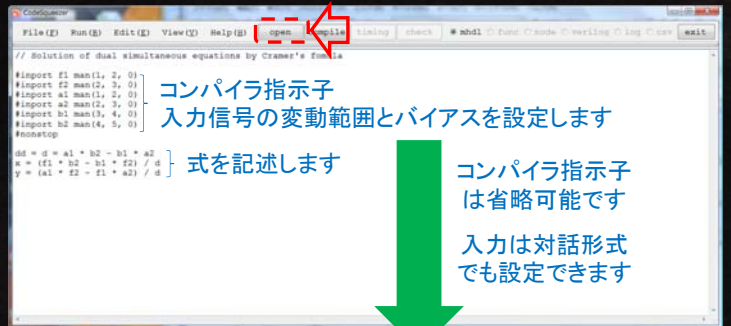
$$d = a1 * b2 - b1 * a2$$

$$x = (f1 * b2 - b1 * f2) / d$$

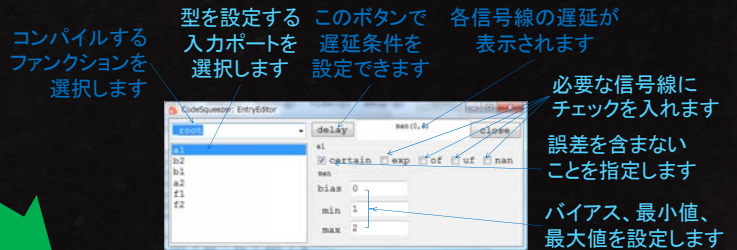
$$y = (a1 * f2 - f1 * a2) / d$$

compile ボタンを押して
Verilog HDLに変換します

open ボタンを押して
ソースファイルを読み込みます

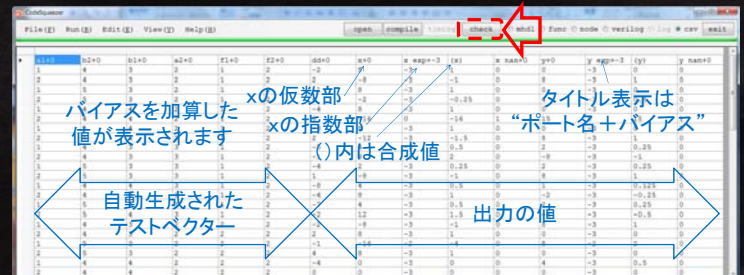
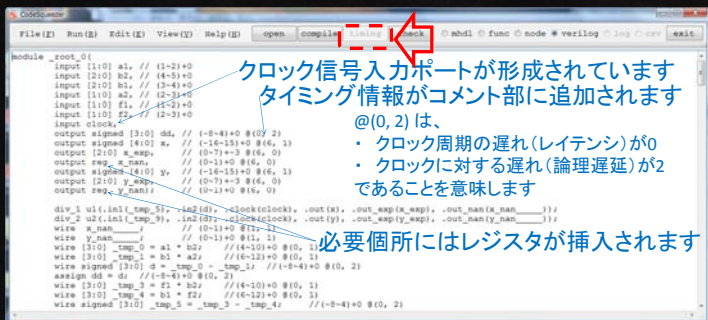


対話形式による入力の設定



timing ボタンで
パイプライン化します

check ボタンにより
検証も自動実行します



詳細資料とデモソフトは弊社HPから無償でダウンロードできます。ぜひお試しください

シグナル・プロセス・ロジック株式会社
<http://signal-process-logic.com>